

MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP59220971
Publication date: 1984-12-12
Inventor(s): ONO MICHIIHIRO
Applicant(s):: TOSHIBA KK
Requested Patent: JP59220971
Application JP19830096157 19830531
Priority Number(s):
IPC Classification: H01L29/78
EC Classification:
Equivalents:

Abstract

PURPOSE:To make the positional setting of the following regions precise by a method wherein an insulation layer obtained by oxidizing the side surface of a polycrystalline Si layer constituting the gate electrode is made as a mask, when manufacturing an IGFET having the source and drain regions which are at a low impurity concentration under the gate electrode and at a high concentration in the region continuous thereto.

CONSTITUTION:A gate oxide film 12 is adhered on a P type Si substrate 11, and an N type polycrystalline Si layer 13 of a fixed shape having an Si₃N₄ film 20 on the surface is provided thereon. An N type impurity ion is implanted through the film with said layer as a mask, thus first forming the N type source and drain regions 16 and 17 of low impurity concentrations coming into the lower surface of the layer 13 in the surface layer part of the substrate 1. Next, on heat treatment in a high temperature oxidizing atmosphere, the side surface of the layer 13 is changed into an SiO₂ layer 130 extending outside by volume expansion. The layer is joined to the regions 16 and 17 by implanting the N type impurity ion again, resulting in the generation of the source and drain regions 14 and 15 of high impurity concentrations extending on both sides thereof.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—220971

⑮ Int. Cl.³
H 01 L 29/78

識別記号

庁内整理番号
7377—5F

⑬ 公開 昭和59年(1984)12月12日

発明の数 1
審査請求 未請求

(全 6 頁)

⑭ 半導体装置の製造方法

京芝浦電気株式会社多摩川工場
内

⑯ 特 願 昭58—96157

⑰ 出 願 人 株式会社東芝

⑱ 出 願 昭58(1983)5月31日

川崎市幸区堀川町72番地

⑲ 発 明 者 小野道博

⑳ 代 理 人 弁理士 鈴江武彦 外 2 名

川崎市幸区小向東芝町1番地東

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 半導体基板上にゲート酸化膜を形成する工程と、このゲート酸化膜上にポリシリコン層を被着しパターンニングすることによりトランジスタの略チャネル領域上にポリシリコン層のパターンを形成する工程と、このポリシリコン層をマスクとして上記半導体基板表面に上記半導体基板と逆型の不純物をイオン注入し低濃度拡散層を形成する工程と、上記ポリシリコン層のパターンの側壁を酸化し側壁酸化膜を形成する工程と、上記側壁酸化膜を備えたポリシリコン層をマスクとして半導体基板と逆型の不純物のイオン注入を行ない上記低濃度拡散層よりもチャネル領域から離間した部位に上記低濃度拡散層よりも高不純物濃度の高濃度拡散層を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

(2) 上記側壁酸化膜を形成する工程が、上記ポリシリコン層のパターンの上部に耐酸化性部材を被着し、この耐酸化性部材をマスクとして上記ポリシリコン層を酸化する工程であることを特徴とする特許請求の範囲第1項に記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は絶縁ゲート電界効果型トランジスタ等の半導体装置の製造方法に関するものである。

〔発明の技術的背景とその問題点〕

近年の素子の高集積化に伴い絶縁ゲート電界効果型トランジスタの微細化が進んでいるが、このようなトランジスタの微細化に伴い、トランジスタのドレイン近傍での電界集中による装置の特性上および信頼性上の問題が目立つてきた。すなわち、ドレイン近傍の強電界領域で電荷(電子或いは正孔)が加速され、シリコン原子と衝突してキャリア増倍を起こし、キャリア

増倍により生じた多数キャリアが基板側へ流れ、基板電流となつて基板の電位を持ち上げICの特性を劣化させることになる。また、この際に少数キャリアは大部分はドレインに流れ込むが一部の充分に高いエネルギーを得たものはシリコンとシリコン酸化膜との界面における電位障壁を乗り越えてシリコン酸化膜中に入り、ゲートにまで達したものはゲート電流となるが一部は上記酸化膜中に捕獲され酸化膜中の電荷量を変化させ、結果としてトランジスタの閾値を変化させる。

ところで現在上述のようなドレイン近傍の電界集中による問題を、ドレイン近傍の電界強度を緩和させて回避する手段として、LDD構造 (lightly doped drain 構造) の素子が提案されている。このLDD構造の素子は従来のソース・ドレイン領域と略同程度の不純物濃度を有する第1拡散層 (高濃度拡散層) のチャネル側に、この第1拡散層よりも不純物濃度の低い電界強度緩和用の第2拡散層 (低濃度拡散層) を追加

形成した2重構造のソース・ドレイン領域を形成したものである。

次にこのようなLDD構造の素子の製造手順を簡単に説明する。第1図に示すように、周知の方法により半導体基板11上に熱酸化によりゲート酸化膜12を形成し、このゲート酸化膜12上にポリシリコン層13を被着してレジスト13'をマスクとしてポリシリコン層13をパターンニングする。次に上記ポリシリコン層13をマスクとしてイオン注入を行ない高不純物濃度の第1拡散層14, 15を形成する。

その後、第2図に示すようにレジスト13'をマスクとしてケミカルドライエッチング或いはウェットエッチングによりポリシリコン層13の側壁をエッチングし、ゲート電極13Gを形成する。次に第3図に示すようにこのゲート電極13Gをマスクとして低濃度の不純物をイオン注入し、低濃度の第2拡散層16, 17をそれぞれ第1拡散層15, 16のチャネル側に形成する。

このようにして形成したLDD構造の素子は、電界集中緩和用の第2拡散層16, 17の幅Lがポリシリコン層13の側壁の後退量によつて略決定される。しかしながらこの後退量すなわちレジスト13'をマスクとしたポリシリコン層13の横方向のエッチング量を制御するのは極めて困難で、幅Lのばらつきが大きいので、トランジスタの特性が一定しないという欠点があつた。

LDD構造の素子の製造方法としては他に、次に述べるようなLDD構造の素子の形成方法が採用される場合がある。すなわち、第4図において、通常の方法によりポリシリコン層をパターンニングしてゲート電極13Gを形成し、このゲート電極13Gをマスクとして低不純物濃度の第2拡散層16, 17を形成した後、基板11の上面全面に厚いCVD (chemical vapour deposition) 酸化膜18を付着する。しかる後に第5図に示すようにRIE法 (reactive ion etching 法) による異方性エッチングにより

CVD酸化膜を基板11に対して垂直方向に一定の厚みでエッチングし、ゲート電極13Gの側壁にCVD酸化膜18を残すようにする。その後、ゲート電極13Gおよび側壁のCVD酸化膜18をマスクとして高濃度の不純物をイオン注入し、第1拡散層15, 16を形成する。

このようにして形成したLDD構造の素子の低濃度の第2拡散層16, 17の幅Lは、CVD酸化膜18の膜厚およびRIE法によるCVD酸化膜18のエッチング条件により決まる。この中で特にRIE法によるエッチングのエッチング条件は、その設定が困難で、やはりトランジスタ特性のばらつきが問題となつていた。さらにこの場合ではRIE法が量産性に欠けるため、コスト上昇を招く欠点もあつた。

[発明の目的]

この発明は上記のような点に鑑みなされたもので、LDD構造のトランジスタをその特性のばらつきがないように制御性よくかつ低コストで製造することのできる半導体装置の製造方法を

提供しようとするものである。

〔発明の概要〕

すなわちこの発明による半導体装置の製造方法では、半導体基板上にゲート酸化膜を形成した後、トランジスタのチャネル形成予定部にゲート電極用のポリシリコン層のパターンを形成し、このポリシリコン層をマスクとして基板と逆型の不純物をイオン注入することにより電界強度緩和用の低濃度拡散層（第2拡散層）を形成する。次に上記ポリシリコン層のパターンの少なくとも側壁を適宜窒化シリコン膜等の耐酸化性のマスクを用いて一定膜厚分だけ酸化させ、ポリシリコン層のパターンに側壁酸化膜を成長させる。続いて上記ポリシリコン層のパターンおよびその側壁の側壁酸化膜をマスクとして基板と逆型の不純物をイオン注入することによりトランジスタのチャネル領域の両側に上記低濃度拡散層が残るようにソース・ドレインとなる高濃度拡散層（第1拡散層）を形成するものである。

を高温酸化性雰囲気中に設置し、上記窒化シリコン膜20をマスクとしてその下層のポリシリコン層13を酸化する。この際に、上記ポリシリコン層13の上面は耐酸化性の窒化シリコン膜20で被われているため酸化されず、結局ポリシリコン層13の側壁のみが酸化される。また、ポリシリコンが酸化される場合には、酸化シリコンの体積がポリシリコンの約2倍となるので、ポリシリコン層13の側壁の側壁酸化膜13は酸化の進行と共に元の側壁の位置から外側へと伸びる。例えば、元の側壁の位置から0.1 μm （図のa）まで酸化膜を伸ばす場合にはポリシリコンの側壁は約0.1 μm が酸化に消費され、側壁酸化膜13。全膜厚bは約0.2 μm である。

次に、上記窒化シリコン膜20およびその下地のポリシリコン層および側壁酸化膜13。をマスクとしてひ素等のN型不純物をイオン注入し、第1拡散層（高濃度拡散層）14、15を形成する。

〔発明の実施例〕

特開昭59-220971(3)

以下図面を参照してこの発明の一実施例につきNチャネルMOSトランジスタを例にとり説明する。

第6図において、P型シリコンの半導体基板11の表面を熱酸化させ、基板11上にゲート酸化膜12を形成する。次に、適宜リン等を導入したポリシリコン層13をCVD法でゲート酸化膜12上に形成し、さらにこのポリシリコン層13上に窒化シリコン膜20をCVD法により積層形成する。次いでフォトリソストを用いた写真蝕刻技術により上記窒化シリコン膜20およびポリシリコン層13をパターンニングする。

次に、第7図に示すように上記窒化シリコン膜20およびポリシリコン層13のパターンをマスクとして、リン、ひ素等のN型不純物を半導体基板11表面にイオン注入し、電界強度緩和用の第2拡散層（低濃度拡散層）16、17を形成する。

続いて第8図に示すように、上記の基板11

以上のようにして、ゲート電極13G下のチャネル領域を挟み第2拡散層16、17さらにその外側に第1拡散層14、15を有するLDD構造のMOSトランジスタ構造が得られ、以下通常のMOSトランジスタの製造工程と同様の工程を行って所定の回路機能を有する装置を完成する。

この実施例によるLDD構造の素子では、第2拡散層16、17の幅Lがポリシリコン層13の側壁に成長する酸化膜の元の側壁からの伸びの長さ（第8図のa）と、酸化工程やその他の熱工程における第1拡散層14、15および第2拡散層16、17のチャネル側への伸び具合とで決定される。ここで、側壁酸化膜13。の元のポリシリコン層13の側壁からの伸びは、ポリシリコン層13の酸化時の温度、酸化時間、酸化種（雰囲気の種類）により決定されるが、これらは容易に精度良く制御することができる。また、低不純物濃度の第2拡散層16、17のみを特にチャネル側に伸ばしたいときには、第

1 拡散層 14, 15 のイオン注入による形成工程の前に、非酸化性雰囲気中で適宜熱処理し、第2拡散層 16, 17 を成長させればよく、これも制御性の高いものである。

上述のような方法の他に第9図に示すようにポリシリコン層 13 の側壁酸化膜 13₀ を窒化シリコン膜を被着しないで形成することも可能である。この場合には、半導体基板 11 のゲート酸化膜 12 上にポリシリコン層 13 を形成し、その上層に窒化シリコン膜を被着することなくパターニングする。その後、イオン注入を行つて低濃度の第2拡散層 16, 17 を形成し、適宜アニール等を行つた後、上記ポリシリコン層 13 の表面を酸化させ、酸化膜 13₁ を形成する。

なお、この場合には、ポリシリコン層 13 の側壁に側壁酸化膜 13₀ が形成されるだけでなく上面も酸化され、ポリシリコン層 13 の膜厚（高さ）が薄くなりポリシリコン層 13 からなる配線層やゲート電極の抵抗が上昇するため、

ポリシリコン層 13 の膜厚を予め厚くしておくといふ。例えば、0.4 μm の厚さのポリシリコン層 13 を酸化させ元の側壁からの酸化膜の伸び c を 0.1 μm とすると、酸化膜 13₁ の膜厚 d は約 0.2 μm で、酸化膜 13₁ 形成のために消費されるポリシリコン層 13 の膜厚は約 0.1 μm であり、ポリシリコン層 13 の膜厚は約 0.3 μm となる。このときのポリシリコン層 13 の抵抗値はその上面が酸化されない場合に比らべて約 1.3 倍に上昇する。

この後、上記酸化膜 13₁ で覆われたポリシリコン層 13 をマスクとして高不純物濃度の第1拡散層 14, 15 をイオン注入により形成し、以下引き続き通常の工程を行つて、装置を完成する。

この場合も、ポリシリコン層 13 の表面に成長する酸化膜 13₁ の膜厚を制御性良く設定でき、特性のばらつきの小さいトランジスタを形成することができる。また、前述の実施例と同様に生産性の低い RIE 法を用いる必要もなく、

簡易に製造できる。

〔発明の効果〕

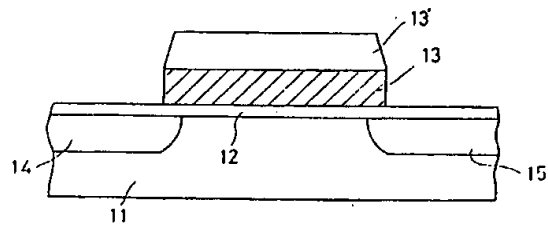
以上のようにこの発明によれば、ゲート電極となるポリシリコン層パターンの酸化により、LDD 構造のソース・ドレイン領域を精度良く設定でき、工程が簡潔で製造コストの低減された半導体装置の製造方法を提供することができる。

4. 図面の簡単な説明

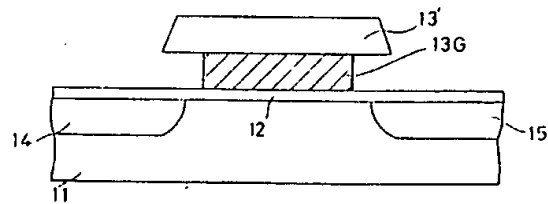
第1図乃至第3図は従来の半導体装置の製造方法を説明する断面図、第4図および第5図は従来の半導体装置の他の製造方法を説明する断面図、第6図乃至第8図はこの発明の一実施例に係る半導体装置の製造方法を説明する断面図、第9図はこの発明の他の実施例を説明するための断面図である。

11…半導体基板、12…ゲート酸化膜、13…ポリシリコン層、13₀…側壁酸化膜、13₁…酸化膜、13G…ゲート電極、14, 15…第1拡散層、16, 17…第2拡散層、20…窒化シリコン膜。

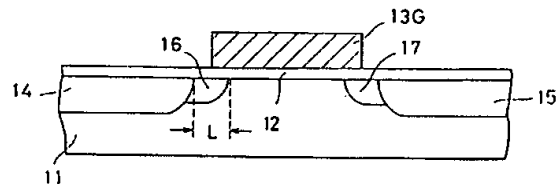
第 1 圖



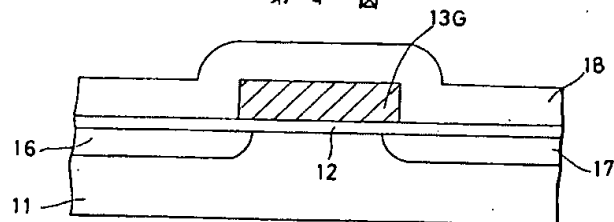
第 2 圖



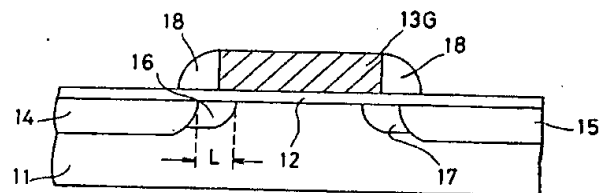
第 3 圖



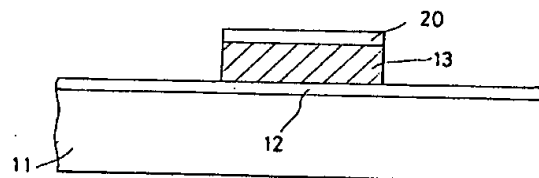
第 4 圖



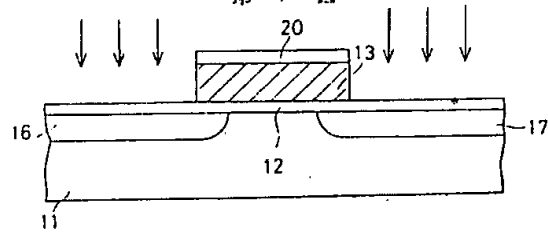
第 5 圖



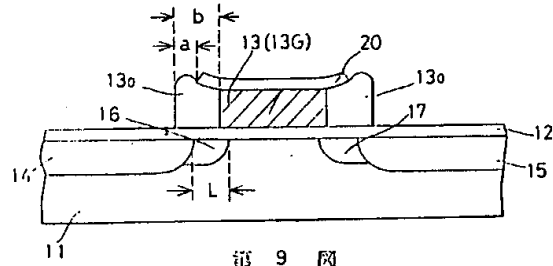
第 6 圖



第 7 図



第 8 図



第 9 図

